

## ANÁLISE DO EFEITO DE BTI SOBRE TOPOLOGIA PAR DIFERENCIAL

CHRISTIAN CARDOSO GRESSLER<sup>1</sup>;  
ALAN CARLOS JUNIOR ROSSETTO<sup>2</sup>

<sup>1</sup>Universidade Federal de Pelotas – [cgressler@inf.ufpel.edu.br](mailto:cgressler@inf.ufpel.edu.br)

<sup>2</sup>Universidade Federal de Pelotas – [alan.rossetto@inf.ufpel.edu.br](mailto:alan.rossetto@inf.ufpel.edu.br)

### 1. INTRODUÇÃO

A área de microeletrônica sofreu avanços significativos com a incessante busca por melhorias. As pesquisas produzidas nesta área ajudaram a diminuir custo e consumo de potência, melhorar desempenho, além de continuamente reduzir a área física dos circuitos. Porém essa miniaturização, trouxe uma maior sensibilidade a esses dispositivos, assim efeitos que anteriormente eram desprezados, como a variabilidade intrínseca ao processo de fabricação e certos fenômenos de envelhecimento, passaram a ter uma maior influência sobre a confiabilidade destes circuitos integrados.

Embora haja diversos modelos de transistores, o que domina a indústria atualmente é o transistor de efeito de campo (MOSFET). Existem dois tipos de transistores MOS, sendo eles o MOSFET de canal N e o MOSFET de canal P, que trazem o nome de acordo com as características que seu material recebeu durante o processo de fabricação.

Após o processo de fabricação, imperfeições são encontradas no dielétrico da porta e na interface do substrato. Estas são chamadas de armadilhas de carga e sua causa está relacionada a má formação do isolante. São a principal causa de efeitos de degradação, como o BTI (*Bias Temperature Instability*) (WIRTH; SILVA; KACZER, 2011). O seu impacto sobre tais componentes foi tomando uma magnitude maior ao passo que a microeletrônica reduzia a sua área física.

O BTI é um efeito adverso que os transistores sofrem, em especial o PMOS, causando o envelhecimento precoce do mesmo, sendo influenciado pela temperatura e pela polarização dele. Esse fenômeno causa degradação de parâmetros elétricos essenciais para o bom funcionamento do componente, como a tensão de limiar, a mobilidade, a corrente de dreno e a transcondutância, afetando e diminuindo a confiabilidade do circuito (SCHRODER, 2007). A sua origem é dada pela captura e emissão dos portadores de carga durante o funcionamento do transistor, podendo ser modelado como uma flutuação na tensão de limiar do mesmo. Primeiramente, há o processo de captura das armadilhas, que ocorre enquanto o transistor está sobre estresse, ou seja, com o canal formado. Essa etapa ocasiona um aumento na tensão na porta necessária para o funcionamento do transistor, a tensão de limiar. Esse aumento cresce progressivamente, assim é necessário um maior potencial no terminal para manter o funcionamento em um mesmo patamar de corrente. Quando o transistor deixa de ser estimulado, há uma restauração parcial da tensão de limiar, porém com uma certa flutuação da original, visto que já houve um desgaste pelo efeito.

O BTI abrange todo tipo de circuito, tanto analógicos, digitais e mistos, assim é possível verificar seus efeitos em diversas áreas. Dentro da eletrônica analógica, uma topologia muito utilizada é o par diferencial, empregado como estágio de entrada em amplificadores operacionais, amplificadores de transcondutância, entre outros. Ele é composto por um par de ramos espelhados

conectados a uma corrente, onde cada ramo é composto por um transistor e uma carga. Essas trilhas funcionam como uma gangorra, onde caso haja duas entradas iguais, as duas saídas vão ser submetidas a um ganho fixo e serão iguais. Porém, caso haja entradas com diferentes tensões, a trilha com menor potencial, vai receber menos corrente, assim, como a função dessa topologia é amplificar a diferença entre as entradas, haverá o maior ganho de tensão em módulo na sua saída.

Uma análise deste arranjo a fim de verificar o quão robusto e resistente perante a efeitos de degradação é de extrema importância, uma vez que o efeito estudo de caso é algo muito presente na indústria e de relativa dificuldade de controlar, uma vez que sempre haverá certa rugosidade nas interfaces dos metais utilizados. Esse estudo visa buscar quantificar através de simulações esses efeitos.

## 2. METODOLOGIA

Para se obter os resultados presentes neste trabalho foi utilizado o simulador NGSpice, ferramenta de código aberto para simulação de circuitos elétricos descritos através da linguagem SPICE (*Simulation Program with Integrated Circuits Emphasis*). Esse simulador foi escolhido pois ao ser de código aberto, é possível de atualizar o código fonte do mesmo, adicionando novas funções de acordo com a necessidade do usuário, logo foi utilizado uma versão em que é adicionado a metodologia determinística para verificar o impacto do BTI (FURTADO, 2017). Essa versão aplica métodos estatísticos para verificar se uma armadilha está aprisionando um portador de carga. Há a possibilidade de incluir um tempo de estresse prévio, para simular o circuito como se estivesse ligado anteriormente ao início da simulação.

Para a concepção do circuito foi utilizada uma tecnologia de 45 nanômetros, onde foram utilizadas razões de aspecto de forma a atender alguns pontos para o projeto. A topologia utilizada na simulação é apresentada na figura 1.

A simulação foi realizada abordando 9 períodos de estresse diferentes para o circuito, assim foi possível ter uma projeção tanto de intervalos de pouco uso até extensos tempos de utilização. Como sinal de entrada para o circuito, foi utilizado primeiramente uma tensão contínua de 0,9 V. Porém, muitos dos casos de uso de um par diferencial lidam com tensão alternada, então para a segunda simulação foi utilizado um sinal de entrada de forma senoidal, com amplitude de 1 mV e de 20 MHz de frequência.

## 3. RESULTADOS E DISCUSSÃO

Ao realizar os experimentos, é possível verificar o efeito de BTI degradando o circuito. Na figura 2, o efeito das armadilhas de carga capturando e expelindo portadores é visto nas oscilações retangulares da tensão de saída. Também é visto que pela particularidade do circuito, quando ocorre essa captura, o outro ramo sofre uma oscilação também pelo efeito de gangorra entre os lados do par diferencial.

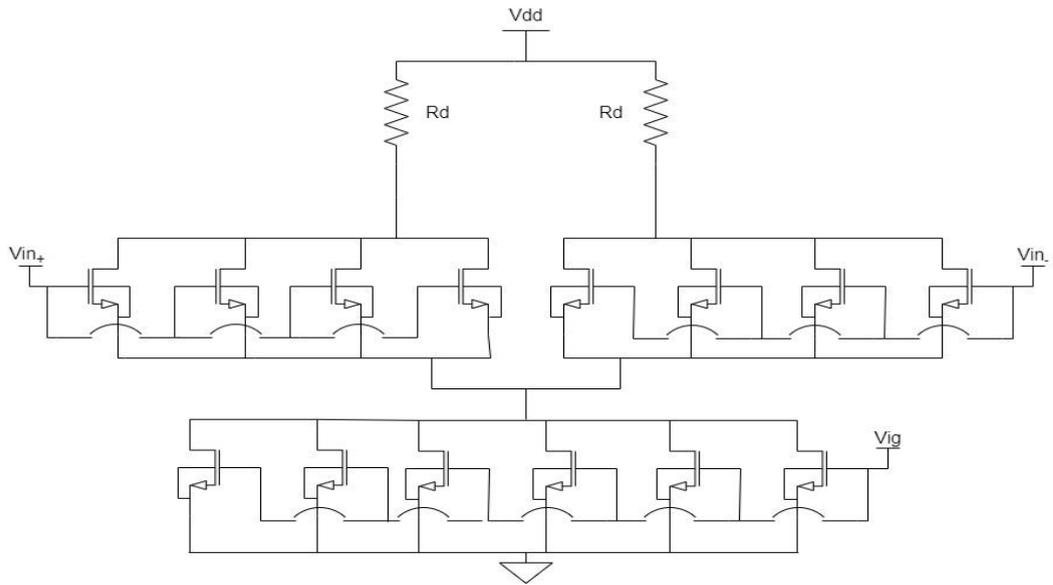


Figura 1: Topologia utilizada para realização do trabalho

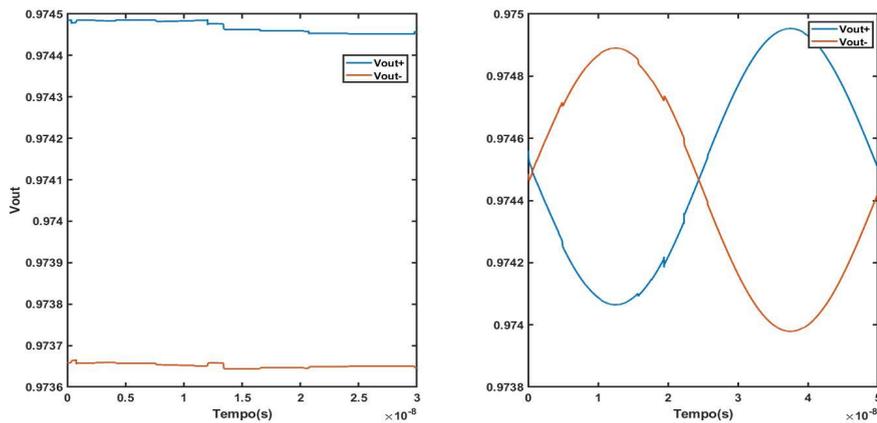


Figura 2: Saída de um par diferencial estressado por 1 s, com uma entrada contínua e com uma entrada sinusoidal.

Ao analisar o comportamento apresentado na saída do circuito, é possível verificar que ao ser submetido a tempos cada vez maiores de estresse, tem seu ganho degradado, como visto na figura 3. Esse comportamento também é descrito pela figura 4, onde o valor médio da tensão de saída converge constantemente para um valor acima de 0,975 V. Embora no gráfico com o menor tempo de estresse seja mais visível a oscilação da tensão de saída, o BTI tem um impacto maior em tempos longos de uso.

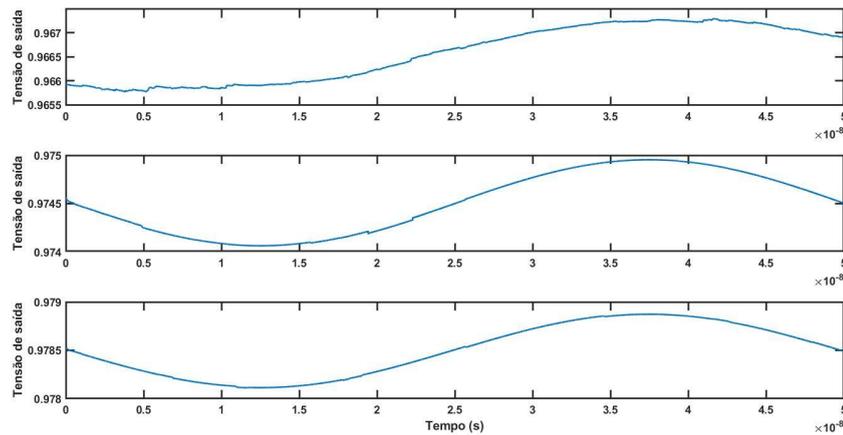


Figura 3: Comportamento do circuito ao ser exposto a um tempo de estresse pequeno (100 ns), médio(1 s) e grande(100 Gs), respectivamente.

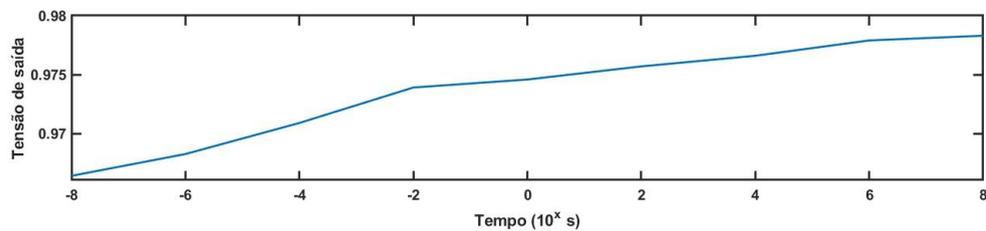


Figura 4: Média da tensão de saída conforme aumenta o tempo de estresse.

#### 4. CONCLUSÕES

A análise de efeitos de degradação sobre os mais diversos tipos de circuitos é de grande importância dentro da área da microeletrônica. Assim, o intuito desse trabalho é demonstrar que a confiabilidade de circuitos comumente usados na indústria, como o par diferencial, é perdida ao encarar efeitos como o BTI. Foi possível demonstrar que o ganho do par diferencial recebe flutuações, principalmente em períodos de uso excessivo. Enquanto o tempo de uso aumenta, as oscilações geradas pelas armadilhas são mais visíveis na saída, porém uma vez que os transistores chegam a um tempo entre 0,1 s e 1000 s, como na figura 4, o ganho fica bem prejudicado.

#### 5. REFERÊNCIAS BIBLIOGRÁFICAS

FURTADO, G. F.; WIRTH G. I. **Metodologia determinística para simulação elétrica do impacto de BTI em circuitos MOS**. 2017. 74p. Dissertação (Mestrado em Engenharia Elétrica). Programa de Pós-Graduação Em Engenharia Elétrica, Universidade Federal do Rio Grande do Sul.

SCHRODER, D. K. Negative bias temperature instability:What do we understand? **Microelectronics reliability**, [S.l.], v.47, n.6, p.841–852, 2007.

WIRTH, G. I.; SILVA, R. da; KACZER, B. Statistical model for MOSFET bias temperature instability component due to charge trapping. **IEEE Transactions on Electron Devices**, [S.l.], v.58, n.8, p.2743–2751, 2011.