

Novas Topologias de Somadores Compressores 3-2 e 4-2 Aproximados com Eficiência Energética

Rodrigo Lopes¹; Leonardo Antonietti¹; Morgana M. A. Rosa¹; Rafael Soares¹;
Eduardo Costa²

¹UFPEL – rmdlopes@inf.ufpel.edu.br; morganamacedoazevedodarosa@gmail.com;
leonardoantonietti6@gmail.com; rafael.soares@inf.ufpel.edu.br

²UCPEL – eduardo.costa@ucpel.edu.br

1. INTRODUÇÃO

A computação aproximada (AxC) tem sido estabelecida como uma alternativa de projeto para aumentar a eficiência de sistemas computacionais, aproveitando-se da resiliência a erros de diversas aplicações como sinais digitais, imagem e processamento de vídeo (ROSA, 2023). Entre as estratégias da computação aproximada, as unidades aritméticas aproximadas, principalmente somadores são de extrema importância para essas aplicações tolerantes a erro (ROSA, 2023). Esse trabalho propõe novos somadores compressores 3-2 (Ax3-2) e 4-2 (Ax4-2) aproximados. O somador Ax4-2 inclui três versões para avaliar o relacionamento entre precisão e consumo de energia. Os somadores aproximados compressores (SAxC) oferecem uma solução eficiente para sistemas digitais modernos (como o processamento de vídeo) que exigem velocidades computacionais rápidas e eficiência energética. Esse trabalho explora o Ax4-2 proposto no estudo de caso da Soma das Diferenças ao Quadrado (SSD) usada na codificação de vídeo. A métrica SSD determina a similaridade entre dois blocos de dados de imagem. Tal métrica de distorção auxilia o processo de tomada de decisão do codificador em relação às estratégias de codificação e compressão otimizadas (BROSS, 2021). A métrica SSD está presente nos padrões de codificação de vídeo, como H.265/HEVC e o novo H.266/VVC. É composto internamente por uma árvore de somadores para realizar a soma das diferenças ao quadrado, e os somadores compressores (SC) são essenciais no contexto de soluções eficientes em termos de consumo de energia (ROSA, 2020). Os SCs podem melhorar o desempenho e a eficiência energética da arquitetura SSD, uma vez que permitem a adição de vários operandos simultaneamente com um caminho crítico reduzido. Portanto, os inovadores SAxC propostos representam um passo promissor no projeto de sistemas digitais e computação aproximada para aplicações tolerantes a erros, como a codificação de vídeo. As novas contribuições deste trabalho são as seguintes: i) Novo SAxC 3-2 (Ax3-2); ii) Três versões distintas do novo SAxC 4-2 (Ax4-2); iii) Análise do relacionamento entre precisão e consumo de energia dos novos Ax3-2 e Ax4-2; e iv) Avaliação do relacionamento entre precisão e eficiência energética do Ax4-2 no estudo de caso SSD.

2. METODOLOGIA

Esta seção mostra a metodologia de como aplicar nossas versões Ax4-2 à métrica SSD no processamento de vídeo. Realiza-se a exploração do espaço de projeto (DSE) em um processo de co-simulação Matlab-Modelsim, permitindo ao projetista realizar várias simulações empregando vetores com comportamento realista, ou seja, sequências de vídeo. O modelo de referência (*golden model*) compara as estruturas propostas Ax3-2 e Ax4-2 com somadores exatos no ambiente do Matlab. Em relação aos resultados baseados em ASIC, a descrição das arquiteturas foi realizada em VHDL e sintetizada utilizando a ferramenta de síntese Cadence Genus em frequências de 500MHz e 2,17GHz. Para as versões Ax3-2 e Ax4-2, os resultados são agnósticos à aplicação e aplicados ao SSD, respectivamente. As sínteses consideraram a biblioteca de células-padrão comercial de baixa potência ST 65nm com tensão de alimentação de 1,25V. Para

comparações, obtêm-se todos os resultados na frequência máxima alcançável (com zero slack) para extrair a qualidade dos resultados do circuito (QoR) sob casos extremos, utilizando-se a ferramenta Cadence Incisive para simular todas as *Network lists*, considerando o arquivo SDF para os atrasos precisos de propagação de sinais e falhas temporais. A simulação gera o arquivo TCF (*Toggle Count Format*), que é carregado nas ferramentas de síntese para a extração realista de energia. A metodologia de estimativa de energia utiliza a ferramenta de síntese Genus no modo PLE para gerar a *network list* em nível de portas Verilog e o arquivo no formato SDF.

3. RESULTADOS E DISCUSSÃO

Inicialmente, apresentam-se resultados agnósticos à aplicação do Ax3-2. A Tabela I mostra a avaliação das métricas de erro e os resultados de síntese para um exemplo de 8 bits com o SC exato 3-2 e o Ax3-2 proposto, bem como o nível máximo de aproximação $K=8$, onde o parâmetro K representa o número de bits aproximados usando o Ax3-2. As quatro métricas de erro avaliadas são a precisão (ACC) em %, a taxa de bits com erro (BER), o erro médio absoluto (MAE) e o erro no pior caso (WCE). Os resultados do Ax3-2 mostram uma economia de área de circuito de até 75% e economia de energia de até 61,81% em comparação com um SC 3-2 exato ($K=0$). Esses ganhos são obtidos para o maior nível de aproximação (com $K=8$). No entanto, as economias de energia e área são obtidas às custas das métricas de erro mais altas, ou seja, 35,34% de precisão, $BER = 0,360$ ($BER = 1$ é 100% exato), $MAE = 174,26$ e $WCE+ = 509$ ($WCE+$ representa a distância de erro mais significativa entre o resultado exato e o aproximado). Por outro lado, melhores resultados de métricas de erro são obtidos, variando-se o valor de K de 1 a 6 (as melhores métricas de erro são obtidas com $K=1$). Vale destacar a resiliência do Ax3-2, com uma precisão acima de 90% até $K=6$. Esse nível de aproximação ($K=6$) continua com uma boa economia de energia de 57,81% e economia de área de 53,13%, mantendo boas métricas de erro, ou seja, uma precisão de 93,98%, $BER = 0,881$, $MAE = 43,177$ e $WCE+ = 120$.

TABELA I: Avaliação das métricas de erro e resultados de síntese para 3-2 (exato) e o Ax3-2 proposto.

AC	K	ACC	BER	MAE	WCE+	WCE-	Area (μm^2)	Total Power(μW)
3-2	0	NA	NA	NA	NA	NA	32	0.474
Ax3-2	1	99.99	0.999	1.246	2	1	26	0.363
	2	99.98	0.999	2.640	3	0	23	0.297
	3	99.90	0.998	5.211	14	1	21	0.286
	4	99.61	0.992	10.594	30	0	18	0.249
	5	98.45	0.969	21.599	62	1	16	0.228
	6	93.98	0.881	43.177	120	0	15	0.200
	7	78.27	0.564	86.052	253	1	13	0.189
	8	35.34	0.360	174.260	509	0	8	0.181

Células destacadas em verde e vermelho representam os melhores e piores resultados, respectivamente. NA - Não Aplicável.

A seguir, apresentam-se os resultados agnósticos à aplicação do Ax4-2. A Fig. 2-(a) mostra o relacionamento entre energia e precisão e a Fig. 2-(b) mostra o relacionamento entre área e precisão para as topologias Ax4-2 propostas e outros SAxCs da literatura com entrada de 8 bits, com variações no nível de aproximação ($K = 1$ a 8). Comparam-se as topologias propostas com os trabalhos (STROLLO, 2020) e (AKBARI,2017) da literatura. O trabalho proposto em (STROLLO, 2020) apresenta três SAxCs 4-2 chamados versões (a), (b) e (c), o trabalho em (AKBARI,2017) propôs um AxAC 4-2. As formas de Pareto nas Figs. 2-(a)-(b) resumem o relacionamento ótimo entre aproximação e precisão por meio da Probabilidade Média de Erro (MEP) em perspectiva com os resultados de síntese de energia e área. O Ax4-2 proposto resulta em uma economia de área de

circuito de até 55,56% e economia de energia de até 69,08% em comparação com um SC 4-2 exato. Existem variações significativas na área do circuito dos somadores aproximados, devido às diferenças em sua composição lógica. Como resultado, o Ax4-2 proposto dissipa menos energia do que o somador exato para todos os SAxCs e as versões Ax4-2 propostas, como visto nas Figs. 2-(a)-(b). Por outro lado, os SAxCs implicam um erro no resultado da soma. Observa-se nas Figs. 2-(a)-(b) que, conforme a aproximação aumenta, o consumo de energia diminui. A solução Axlit4-2 (solução da literatura) e as soluções propostas em (AKBARI,2017) e (STROLLO, 2020) apresentam maior consumo de energia do que a versão 1 (Ax4-2 v1) proposta. O Ax4-2 v1, com $K = 8$, alcança reduções nas métricas de projeto em comparação com o SC 4-2 exato, ou seja, economia de energia de 69,08% e economia de área de 55,56%, com $\approx 44,02\%$ de precisão. Por outro lado, a arquitetura com $K=1$ ainda apresenta economia significativa de energia de 48,06% e economia de área de 40,28%, com melhores resultados nas métricas de erro, ou seja, $\approx 100\%$ de precisão. O Ax4-2 v1 ainda apresenta boas métricas de erro (84,60% de precisão) com economia de energia de 62,62% e economia de área de 51,39%. A versão 2 (Ax4-2 v2) proposta é a mais resiliente a erros entre as versões do Ax4-2, ou seja, com $K=8$ atinge 70,52% de precisão, mas com menos economia de energia (25%) e menos economia de área (28,25%) do que o Ax4-2 v1. A versão 3 (Ax4-2 v3) fica entre os resultados das arquiteturas Ax4-2 v1 e Ax4-2 v2, apresentando um bom equilíbrio entre precisão e qualidade de energia. Nota-se que, o Ax4-2 v1 oferece os melhores compromissos entre MPE e qualidade, reduzindo significativamente a área do circuito e o consumo de energia em comparação com a literatura.

A seguir, apresentam-se os resultados do Ax4-2 Incorporado ao estudo de caso, ou seja, a métrica SSD. A arquitetura SSD operando a 2,17 GHz permite que o bloco de estimação de movimento alcance processamento em tempo real com resolução UHD 4K (3840 \times 2160 pixels) a 30 quadros por segundo (fps), em média, para condições de teste (KARCZEWICZ,2021). Realiza-se uma extração de consumo de energia, utilizando-se dados do mundo real, ou seja, utilizam-se sequências de vídeo Tango2, Campfire, CatRobot e FoodMarket com resolução UHD 4K (KARCZEWICZ,2021). Esses estímulos de 8 bits nas entradas do SSD influenciam em entradas de 16 bits para o SAxCs 4-2, devido aos blocos de multiplicação ao quadrado. A Fig. 2-(c) mostra o relacionamento entre energia e qualidade, e a Fig. 2-(d) mostra o relacionamento entre área e qualidade para as arquiteturas Ax4-2 propostas e outros SAxCs da literatura (HA,2017), (AKBARI,2017) e (STROLLO, 2020) no acelerador de vídeo SSD, com variações no nível de aproximação ($K = 1$ a 8). Utiliza-se a métrica BER para avaliar o Ax4-2 no acelerador de vídeo SSD. O Ax4-2 oferece um bom equilíbrio entre aproximação e qualidade com a faixa de BER variando de $1,2 \times 10^{-10}$ a $5,39 \times 10^{-6}$. As soluções Axlit4-2 (HA,2017) e (STROLLO, 2020) apresentam maior consumo de energia do que a versão Ax4-2 v1 proposta. Assim, a versão Ax4-2 v1 resulta em economias de energia significativas tanto para o caso de estudo agnóstico de aplicação quanto para o estudo de caso específico.

4. CONCLUSÕES

Esse trabalho apresentou um novo SAxC 3-2 (Ax3-2) juntamente com três versões distintas de um SAxC 4-2 (Ax4-2). Foram avaliadas ambas as propostas de forma agnóstica à aplicação e para um estudo de caso específico em SSD no processamento de vídeo. Na abordagem agnóstica à aplicação, mostrou-se que o Ax3-2 e o Ax4-2 proporcionam melhorias significativas tanto em economia de energia quanto de área, demonstrando uma melhoria significativa em relação aos

SAxCs eficientes em energia. No estudo de caso específico da aplicação, demonstrou-se a melhor eficiência do somador compressor Ax4-2 proposto quando incorporado a um acelerador de vídeo SSD.

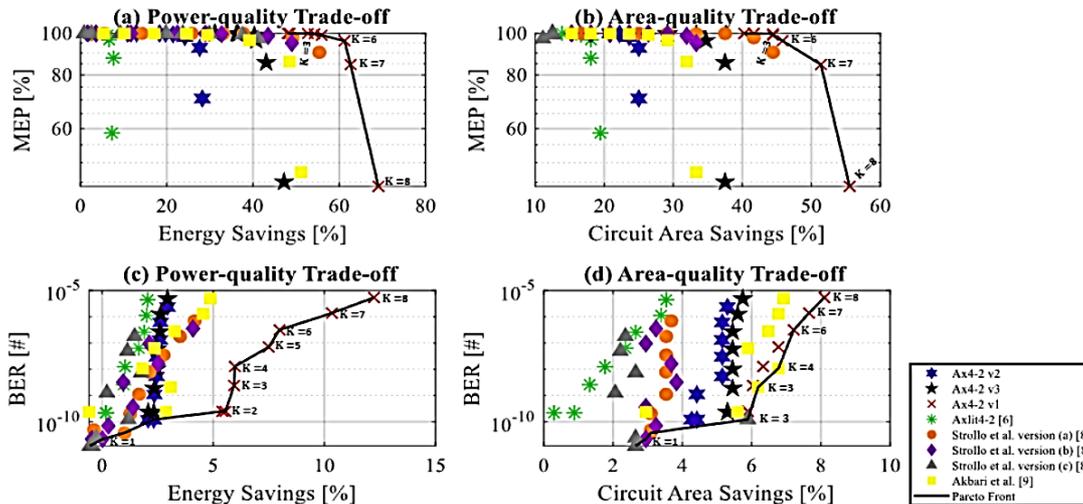


Fig. 2: Economia de energia e área do circuito para nossas propostas Ax4-2 em comparação com o AxAC da literatura em resultados agnósticos à aplicação (a) e (b), e em resultados específicos para a aplicação em SSD (c) e (d), respectivamente. A linha de base é o SC 4-2 automaticamente selecionado pela ferramenta de síntese.

Suma, os somadores compressores Ax3-2 e Ax4-2 propostos alcançam excelentes padrões de qualidade e suportam níveis de aproximação mais altos. Em particular, o Ax4-2 v1 oferece o melhor compromisso entre aproximação e qualidade, resultando em economias significativas de energia, tornando-se uma excelente opção para aplicações tolerantes a erros e com foco em projeto de baixa potência.

5. REFERÊNCIAS BIBLIOGRÁFICAS

- ROSA, Morgana Macedo Azevedo da et al. Axppa: Approximate parallel prefix adders. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 31, n. 1, p. 17-28, 2022.
- BROSS, Benjamin et al. Overview of the versatile video coding (VVC) standard and its applications. *IEEE Transactions on Circuits and Systems for Video Technology*, v. 31, n. 10, p. 3736-3764, 2021.
- ROSA, Morgana MA da et al. Exploring efficient adder compressors for power-efficient sum of squared differences design. In: 2020 27th IEEE international conference on electronics, circuits and systems (ICECS). IEEE, 2020. p. 1-4.
- HA, Minh; LEE, Sunggu. Multipliers with approximate 4–2 compressors and error recovery modules. *IEEE Embedded Systems Letters*, v. 10, n. 1, p. 6-9, 2017.
- STROLLO, Antonio Giuseppe Maria et al. Comparison and extension of approximate 4-2 compressors for low-power approximate multipliers. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 67, n. 9, p. 3021-3034, 2020.
- AKBARI, Omid et al. Dual-quality 4:2 compressors for utilizing in dynamic accuracy configurable multipliers. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 25, n. 4, p. 1352-1361, 2017.
- KARCZEWICZ, Martak; YE, Yan. Common Test Conditions and evaluation procedures for enhanced compression tool testing. *Joint Video Experts Team (JVET)*, document JVET-W2017-v1, 2021.