

ANÁLISE DOS EFEITOS DE ARMADILHAS DE CARGA EM UM AMPLIFICADOR DE TRANSCONDUTÂNCIA

CHRISTIAN CARDOSO GRESSLER¹; ALAN CARLOS JUNIOR ROSSETTO²;
LEOMAR SOARES DA ROSA JUNIOR³

¹Universidade Federal de Pelotas – cgressler@inf.ufpel.edu.br

²Universidade Federal de Pelotas – alan.rossetto@inf.ufpel.edu.br

³Universidade Federal de Pelotas – leomarjr@inf.ufpel.edu.br

1. INTRODUÇÃO

Nas últimas décadas, a redução de escala dos transistores foi um dos principais objetivos na área da microeletrônica. Porém, essa redução no tamanho trouxe consigo uma maior sensibilidade desses componentes, tornando-os alvo de efeitos que antes não tinham impacto significativo.

Armadilhas de carga são defeitos intrínsecos ao processo de fabricação do MOSFET, surgindo na falta de oxigênio nas suas ligações com o silício no isolante ou ligações soltas do silício na interface entre o isolante e o substrato. Essas imperfeições aprisionam temporariamente cargas elétricas responsáveis pela corrente que passa pelo transistor do canal formado do transistor. Os principais parâmetros afetados pela cinética de captura e posterior emissão das armadilhas são a corrente de dreno (I_d) e a tensão de limiar (V_{th}). As armadilhas de carga são consideradas o principal fator na origem do *Random Telegraph Noise* (RTN) e *Bias Temperature Instability* (BTI), dois efeitos de variabilidade temporal que tiveram seu impacto amplificado como consequência a redução de área dos MOSFETs.

O BTI é um efeito de envelhecimento precoce do dispositivo traduzido em uma variação em V_{th} . O valor do desvio nesse parâmetro tende a aumentar com o tempo e traz consigo alterações em I_d , transcondutância e mobilidade. Esse efeito em dispositivos NMOS é chamado de *Positive BTI* (PBTI) e em dispositivos PMOS é chamado de *Negative BTI* (NBTI), com o último tendo maior impacto na degradação (GRASSER et al. 2014). Esse fenômeno é separado em dois momentos, onde em um primeiro momento o terminal de porta do transistor é polarizado, criando o canal de condução e dessa forma as armadilhas vazias podem capturar cargas. No segundo momento, quando a polarização é retirada, as armadilhas podem liberar cargas aprisionadas, iniciando um período de repouso. No primeiro momento, a variação em V_{th} aumenta logaritmicamente, no segundo momento, decresce da mesma forma, assim a V_{th} nunca atingirá o valor inicial anterior às armadilhas.

O RTN é um fenômeno de ruído que introduz variações discretas temporais em I_d chamado de *Random Telegraph Signal* (RTS). Essas oscilações na corrente de dreno levam a variações temporais também a tensão de limiar (GRASSER et al. 2014). Enquanto há um ruído positivo na corrente de dreno, a tensão de limiar decresce e com um ruído negativo na corrente, a tensão aumenta.

A topologia utilizada neste trabalho é um amplificador de transcondutância (OTA). Esse amplificador utiliza a diferença entre as tensões de entrada para entregar uma corrente amplificada na saída. Entre seus diversos usos, se destacam conversores analógico-digital e digital-analógico, filtros de tempo contínuo e buffers para saídas analógicas.

Como é amplamente utilizado em aplicações na biomedicina, o estudo da confiabilidade da topologia sob efeitos de degradação é de suma importância. Desse modo, o objetivo deste trabalho é analisar o impacto dos efeitos citados na performance de tal amplificador.

2. METODOLOGIA

Este trabalho utiliza um simulador que apresenta um *framework* que emula o comportamento das armadilhas. Em BOTH; FURTADO; WIRTH (2018) é apresentada a implementação desse *framework*, onde se calcula estatisticamente o impacto que cada transistor sofre das armadilhas presentes. Sendo um processo estocástico, o número de armadilhas é dado por uma distribuição relacionada ao tamanho do dispositivo. Para cada armadilha é determinado um tempo de captura e um tempo de emissão, determinados por variáveis aleatórias. Para cada instante de tempo, o somatório do impacto individual de cada armadilha é a variação na tensão de limiar do transistor. Em KESSLER et al. (2020) é utilizada uma metodologia para inserir tempo de estresse prévio ao início da simulação, de forma a ser possível investigar a ação das armadilhas após determinados tempos de uso do circuito.

Para dimensionar o amplificador foi utilizada a metodologia gm/i_d , que se utiliza da transcondutância e da corrente de dreno da tecnologia, para encontrar os parâmetros de tamanho dos transistores, sendo possível otimizar parâmetros desejados (JESPERS, 2009). A Fig. 1 apresenta o circuito estudo de caso, um amplificador de transcondutância com compensação de Miller, formado por três estágios: uma fonte de corrente PTAT, um par diferencial com carga ativa e um estágio de saída. Utilizando um modelo de transistor preditivo de 45nm, todos os transistores têm como comprimento $L = 520$ nm. Para a largura W , se tem: $M_{1,2} = 43.11$ μm , $M_{3,4} = 82.53$ μm , $M_5 = 172.25$ μm , $M_6 = 819.87$ μm e $M_7 = 431.06$ μm . Os transistores do estágio da fonte de corrente PTAT não serão considerados para os resultados posteriores.

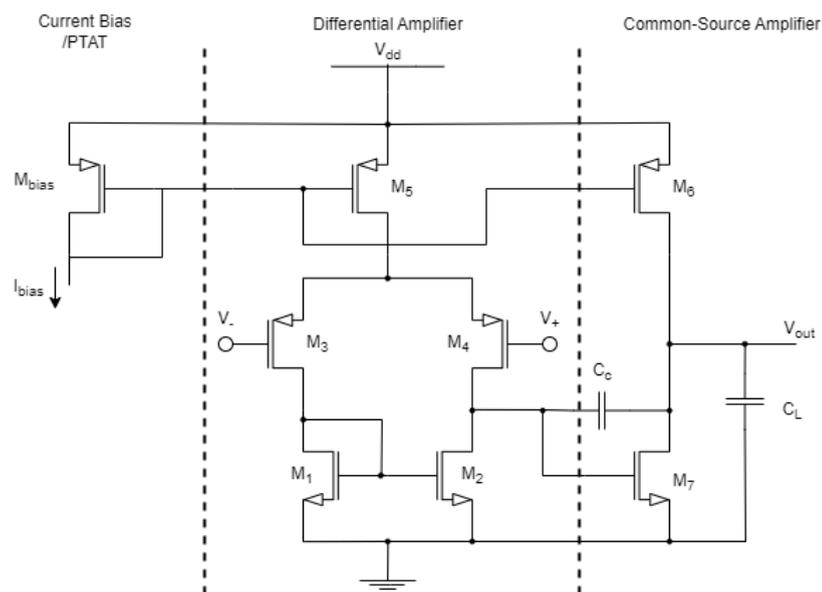


Figura 1: Circuito estudo de caso.

As principais características do circuito sem a ação das armadilhas apresentam os valores de ganho de tensão DC de 89.5 dB, largura de banda do ganho de 5.5 MHz, margem de fase de 53.2°, taxa de variação da resposta para estímulos na entrada (*slew rate*) de subida de 2.53 V/ μ s, *slew rate* de descida 4.3 V/ μ s e consumo de potência de 71.1 μ W.

3. RESULTADOS E DISCUSSÃO

A Fig. 2 demonstra o comportamento transiente das armadilhas em transistores de diferentes áreas após 10 segundos de estresse. Através desse gráfico é possível perceber que transistores de áreas menores têm maior sensibilidade a cinética das armadilhas. Conforme o comprimento aumenta, há um aumento no número de ações das armadilhas, porém estas causam menos impacto. A partir de $W = 10 \mu\text{m}$, é imperceptível os aprisionamentos e liberações de cargas. Como o menor transistor utilizado no circuito é mais de 4 vezes maior que esse comprimento, é possível assumir que o efeito de RTN não causa impacto significativo, uma vez que as oscilações discretas características desse efeito não são observáveis.

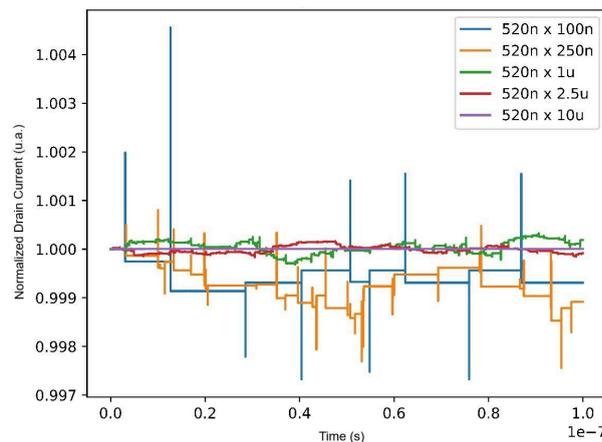


Figura 2: Ruído das armadilhas na corrente de dreno em transistores com diferentes tamanhos (L x W).

Para avaliar a variabilidade do ganho, um grupo de 100 simulações foram feitas considerando um tempo de estresse de 10 segundos, representadas na Fig. 3a. O valor médio de ganho ficou em 47.96 dB, equivalente a 53.52% do ganho sem o efeito de degradação, com um desvio padrão de 12.04 dB. Como um parâmetro que se deseja ser alto para essa topologia, essa variabilidade demonstra valores críticos para a confiabilidade.

A taxa de resposta a uma variação na entrada foi extraída através de 10 simulações, cada uma sendo submetida a 5 tempos de estresse, variando de 1 segundo até 10^8 segundos. A Fig. 3b mostra essa simulação. A taxa média de subida diminuiu para 0.565 V/ μ s e a de descida para 0.804 V/ μ s em 1 s, representando 22.33% e 18.69% do valor original sem a degradação, respectivamente. No maior tempo de estresse, os valores diminuíram para 0.390 V/ μ s (15.41%) para a de subida e 0.498 V/ μ s (11.58%) para a de descida.

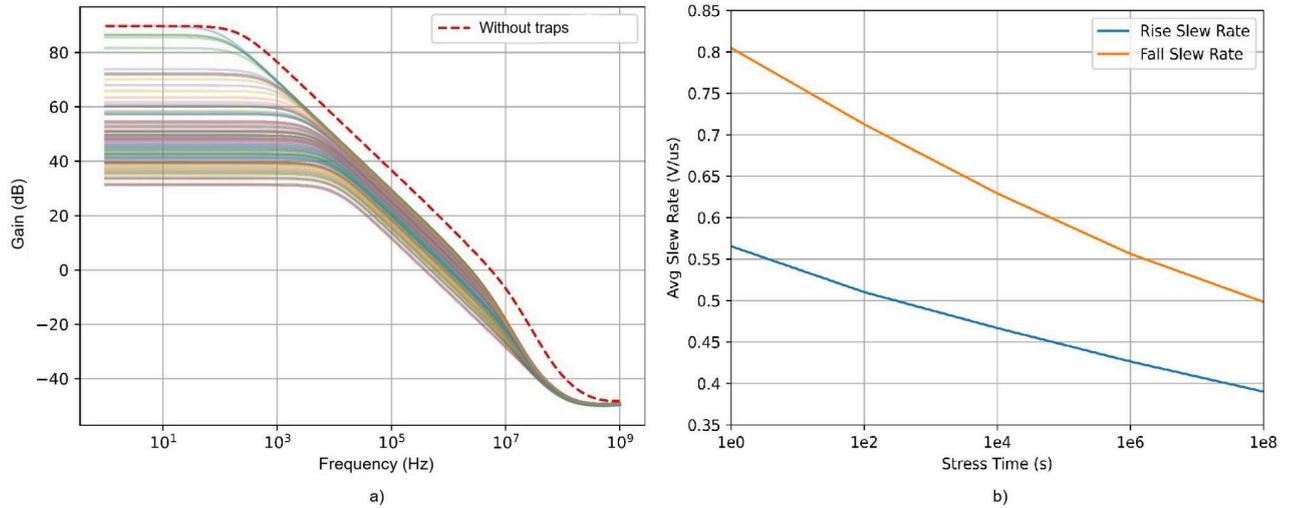


Figura 3: a) Variabilidade do ganho do circuito após um estresse de 10 s; b) Taxa de resposta da saída a variação na entrada média para diferentes tempos de estresse.

4. CONCLUSÕES

Através desse trabalho foi demonstrado a degradação que a cinética das armadilhas de carga causam em uma topologia de um amplificador de transcondutância com compensação Miller. Sendo amplamente utilizado em aplicações em que a confiabilidade é crítica, os resultados demonstram que o funcionamento deste circuito tende a ser fortemente afetado. Com apenas 10 s de utilização, o ganho do circuito em média é reduzido praticamente pela metade, chegando em 47.96 dB. A resposta para variações na entrada é reduzida para 22.33% e 18.69% dos valores originais, para valores de subida e descida respectivamente, em 1 s, e tendem para 15.41% e 11.58% conforme o tempo de uso se mantém.

5. REFERÊNCIAS BIBLIOGRÁFICAS

BOTH, T. H., FURTADO, G. F. and WIRTH, G. I.. Modeling and simulation of the charge trapping component of BTI and RTS. **Microelectronics Reliability** **80**: 278-283, 2018.

GRASSER, T. et al.. A unified perspective of RTN and BTI. **2014 IEEE International Reliability Physics Symposium**. IEEE, p. 4A. 5.1-4A. 5.7, 2014.

KESSLER, H., FINKENAUER, P., BOTH, T. H., ROSA, L. and CAMARGO, V. V. "Evaluation of Non-Series-Parallel Structures for BTI-Aware Automated Design methodologies", **2020 IEEE International Symposium on Circuits and Systems (ISCAS)**, Seville, Spain, 1-5, 2020,.

JESPEERS, P. **The gm/ID Methodology, a sizing tool for low-voltage analog CMOS Circuits: The semi-empirical and compact model approaches**. Springer Science & Business Media, 2009.